

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of:  
Morihsa HIRATA

Application No.: To be assigned

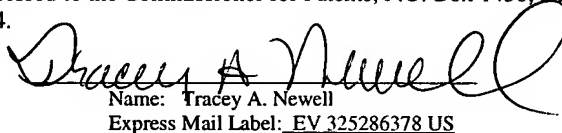
Filed: February 23, 2004

For: **SEMICONDUCTOR INTEGRATED DEVICE  
AND APPARATUS FOR DESIGNING THE  
SAME**

:  
:  
:  
: Art Unit: To be assigned  
:  
: Examiner: To be assigned  
:  
: Docket No.: NEM-05401  
:  
:

**Certificate of Express Mailing**

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA, 22313-1450 on February 23, 2004.

  
Name: Tracey A. Newell  
Express Mail Label: EV 325286378 US

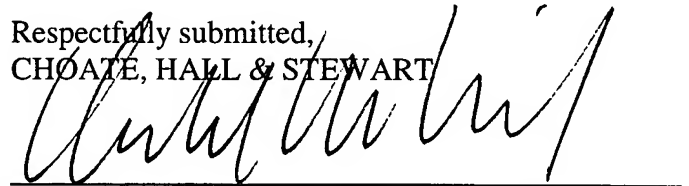
**SUBMISSION OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Attached hereto is Japanese Application No. 2003-050251, filed February 27, 2003, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-248-4038.

Respectfully submitted,  
CHOATE, HALL & STEWART



February 23, 2004  
Date

Donald W. Muirhead

Reg. No. 33,978  
Patent Group  
Choate, Hall & Stewart  
Exchange Place  
53, State Street  
Boston, MA 02109-2804

日本国特許庁  
JAPAN PATENT OFFICE

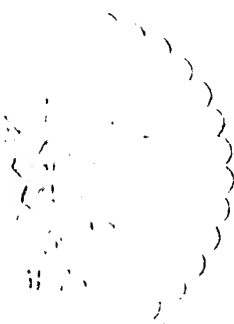
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月27日  
Date of Application:

出願番号 特願2003-050251  
Application Number:  
[ST. 10/C]: [JP2003-050251]

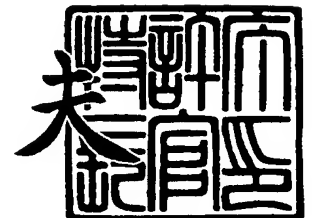
出願人 NECエレクトロニクス株式会社  
Applicant(s):



2003年12月16日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



出証番号 出証特2003-3104142

【書類名】 特許願

【整理番号】 74520010

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

    【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

    【氏名】 平田 守央

【特許出願人】

    【識別番号】 302062931

    【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

    【識別番号】 100103894

    【弁理士】

    【氏名又は名称】 家入 健

【手数料の表示】

    【予納台帳番号】 106760

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0218232

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置、半導体集積回路装置の設計方法

【特許請求の範囲】

【請求項 1】

第 1 の電源配線から電力を供給される第 1 の回路部と、  
前記第 1 の回路部が接続される第 1 のグランド配線と、  
第 2 の電源配線から電力を供給される第 2 の回路部と、  
前記第 2 の回路部に接続された第 2 のグランド配線と、  
前記第 1 の回路部内に形成された第 1 のインターフェース回路部と、  
前記第 2 の回路部内に形成され、前記第 1 のインターフェース回路部との間に  
おいて、信号の入力及び／もしくは出力を行う第 2 のインターフェース回路部と  
、を備え、  
前記第 1 のグランド配線と前記第 2 のグランド配線は接続され、  
前記第 1 のインターフェース回路部近傍に前記第 2 のインターフェース回路部  
が配置されている、半導体集積回路装置。

【請求項 2】

前記第 1 のインターフェース回路部と前記第 2 のインターフェース回路部とは  
、前記第 1 の回路部と前記第 2 の回路部との境界に配置されている、請求項 1 に  
記載の半導体集積回路装置。

【請求項 3】

前記第 1 のインターフェース回路部はデジタル回路部内のインターフェース回  
路部であり、前記第 2 のインターフェース回路部はアナログ回路部内のインター  
フェース回路部であり、

前記第 1 のグランド配線と前記第 2 のグランド配線とは、所定電圧以上におい  
て導通する保護回路を介して前記接続点において接続され、

前記第 1 のインターフェース回路部と前記第 2 のインターフェース回路部とは  
、一つのアナログ・マクロ回路部内に形成されている、請求項 2 に記載の半導体  
集積回路装置。

【請求項 4】

第 1 の電源配線から電力を供給される第 1 の回路部と、  
前記第 1 の回路部が接続される第 1 のグランド配線と、  
第 2 の電源配線から電力を供給される第 2 の回路部と、  
前記第 2 の回路部に接続された第 2 のグランド配線と、  
前記第 1 の回路部内に形成された第 1 のインターフェース回路部と、  
前記第 2 の回路部内に形成され、前記第 1 のインターフェース回路部との間に  
おいて、信号の入力及び／もしくは出力を行う第 2 のインターフェース回路部と  
、を備え、

前記第 1 のグランド配線と前記第 2 のグランド配線は接続され、  
前記第 2 のインターフェース回路部は、前記第 1 のグランド配線と前記第 2 の  
グランド配線の接続点近傍において、前記第 2 のグランド配線と接続される、半  
導体集積回路装置。

#### 【請求項 5】

前記第 1 のインターフェース回路部は、前記第 1 のグランド配線と前記第 2 の  
グランド配線の接続点近傍において、前記第 1 のグランド配線と接続される、請  
求項 4 に記載の半導体集積回路装置。

#### 【請求項 6】

第 1 の電源配線から電力を供給される第 1 の回路部と、  
前記第 1 の回路部が接続される第 1 のグランド配線と、  
第 2 の電源配線から電力を供給される第 2 の回路部と、  
前記第 2 の回路部に接続された第 2 のグランド配線と、  
前記第 1 の回路部内に形成された第 1 のインターフェース回路部と、  
前記第 2 の回路部内に形成され、前記第 1 のインターフェース回路部との間に  
おいて、信号の入力及び／もしくは出力を行う第 2 のインターフェース回路部と  
、を備え、

前記第 1 のグランド配線と前記第 2 のグランド配線は接続され、前記第 1 のグ  
ランド配線と前記第 2 のグランド配線の接続点近傍において、外部接続パッドが  
前記第 2 のグランド配線と接続されている、半導体集積回路装置。

#### 【請求項 7】

第 1 の電源配線から電力を供給される第 1 の回路部と、  
前記第 1 の回路部が接続される第 1 のグランド配線と、  
第 2 の電源配線から電力を供給される第 2 の回路部と、  
前記第 2 の回路部に接続された第 2 のグランド配線と、  
前記第 1 の回路部内に形成された第 1 のインターフェース回路部と、  
前記第 2 の回路部内に形成され、前記第 1 のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第 2 のインターフェース回路部と

、  
前記第 2 のグランド配線と接続される外部接続パッドを備え、  
前記第 1 のグランド配線と前記第 2 のグランド配線は接続され、  
前記外部接続パッドと前記第 2 のグランド配線との接続点は、前記第 2 のインターフェース回路部と前記第 2 のグランド配線との接続点と、前記第 1 のグランド配線と前記第 2 のグランド配線の接続点との間にある、半導体集積回路装置。

**【請求項 8】**

第 1 の電源配線から電力を供給される第 1 の回路部と、  
前記第 1 の回路部が接続される第 1 のグランド配線と、  
第 2 の電源配線から電力を供給される第 2 の回路部と、  
前記第 2 の回路部に接続された第 2 のグランド配線と、  
前記第 1 の回路部内に形成された第 1 のインターフェース回路部と、  
前記第 2 の回路部内に形成され、前記第 1 のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第 2 のインターフェース回路部と、  
を備え、

前記第 1 のグランド配線と前記第 2 のグランド配線は接続され、  
前記第 1 の電源配線は、所定電圧以上において導通する保護回路を介して、前記第 1 のグランド配線と前記第 2 のグランド配線の接続点近傍において、前記第 1 のグランド配線に接続されている半導体集積回路装置。

**【請求項 9】**

第 1 の電源配線から電力を供給される第 1 の回路部と、  
前記第 1 の回路部が接続される第 1 のグランド配線と、

第 2 の電源配線から電力を供給される第 2 の回路部と、  
前記第 2 の回路部に接続された第 2 のグランド配線と、  
前記第 1 の回路部内に形成された第 1 のインターフェース回路部と、  
前記第 2 の回路部内に形成され、前記第 1 のインターフェース回路部との間に  
おいて、信号の入力及び／もしくは出力を行う第 2 のインターフェース回路部と  
、を備え、

前記第 1 のグランド配線と前記第 2 のグランド配線は接続され、  
前記第 1 の電源配線は、所定電圧以上において導通する保護回路を介して前記  
第 1 のグランド配線に接続され、

前記第 1 の電源配線と前記第 1 のグランド配線との接続点は、前記第 1 のイン  
ターフェース回路部と前記第 1 のグランド配線との接続点と、前記第 1 のグラン  
ド配線と前記第 2 のグランド配線の接続点との間にある、半導体集積回路装置。

【請求項 1 0】

第 1 の電源配線から電力を供給される第 1 の回路部と、  
前記第 1 の回路部が接続される第 1 のグランド配線と、  
第 2 の電源配線から電力を供給される第 2 の回路部と、  
前記第 2 の回路部に接続された第 2 のグランド配線と、  
前記第 1 の回路部内に形成された第 1 のインターフェース回路部と、  
前記第 2 の回路部内に形成され、前記第 1 のインターフェース回路部との間に  
おいて、信号の入力及び／もしくは出力を行う第 2 のインターフェース回路部と  
、

前記第 2 のグランド配線に接続される外部接続パッドを備え、  
前記第 1 のグランド配線と前記第 2 のグランド配線は接続され、  
前記第 1 の電源配線は、所定電圧以上において導通する保護回路を介して前記  
第 2 のグランド配線に接続され、

前記第 1 の電源配線と前記第 2 のグランド配線との接続点は、前記第 2 のイン  
ターフェース回路部と前記第 2 のグランド配線との接続点と、前記第 2 のグラン  
ド配線と前記外部接続パッドの接続点との間にある、半導体集積回路装置。

【請求項 1 1】

前記第 2 のインターフェース回路部と前記第 2 のグランド配線との接続点は、前記第 1 のグランド配線と前記第 2 のグランド配線との接続点と、前記第 2 のグランド配線と前記外部接続パッドの接続点との間にある、請求項 1 0 に記載の半導体集積回路装置。

【請求項 1 2】

前記第 1 のグランド配線と前記第 2 のグランド配線とは、所定電圧以上において導通する保護回路を介して前記接続点において接続されている、請求項 4 及至 1 1 に記載の半導体集積回路装置。

【請求項 1 3】

前記第 1 の電源配線と前記第 1 のグランド配線とは、所定電圧以上において導通する保護回路を介して接続され、前記第 2 の電源配線と前記第 2 のグランド配線とは、所定電圧以上において導通する保護回路を介して接続されている、請求項 1 及至 1 1 に記載の半導体集積回路装置。

【請求項 1 4】

前記第 1 のインターフェース回路部及び／もしくは、前記第 2 のインターフェース回路部は、入力信号を受けるゲートを保護するクランプ素子を備えている、請求項 1 及至 1 1 に記載の半導体集積回路装置。

【請求項 1 5】

前記第 1 のグランド配線は、前記保護回路を介して、前記第 1 のインターフェース回路部と前記第 1 の電源配線の接続点と、前記第 1 の電源配線の外部接続パッドとの間において、前記第 1 の電源配線に接続されている、請求項 8 もしくは 9 に記載の半導体集積回路装置。

【請求項 1 6】

前記第 1 のグランド配線と前記第 2 のグランド配線とは、所定電圧以上において導通する保護回路を介して前記接続点において接続され、

前記第 1 の電源配線と前記第 1 のグランド配線との間に接続された保護回路と、前記第 1 のグランド配線と前記第 2 のグランド配線との間の保護回路とは、一つのセル内に形成されている、請求項 8、9 又は 1 5 に記載の半導体集積回路装置。



## 【請求項 17】

前記第2のグラウンド配線は、前記保護回路を介して、前記第1のインターフェース回路部と前記第1の電源配線の接続点と、前記第1の電源配線の外部接続パッドとの間において、前記第1の電源配線に接続されている、請求項10に記載の半導体集積回路装置。

## 【請求項 18】

前記第1のグラウンド配線と前記第2のグラウンド配線とは、所定電圧以上において導通する保護回路を介して前記接続点において接続され、

前記第1の電源配線と前記第2のグラウンド配線との間に接続された保護回路と、前記第1のグラウンド配線と前記第2のグラウンド配線との間の保護回路とは、一つのセル内に形成されている、請求項10に記載の半導体集積回路装置。

## 【請求項 19】

第1の電源配線から電力を供給される第1の回路部と、  
前記第1の回路部が接続される第1のグラウンド配線と、  
第2の電源配線から電力を供給される第2の回路部と、  
前記第2の回路部に接続された第2のグラウンド配線と、  
前記第1の回路部内に形成された第1のインターフェース回路部と、  
前記第2の回路部内に形成され、前記第1のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第2のインターフェース回路部と、  
を備え、

前記第1のグラウンド配線と前記第2のグラウンド配線は接続され、  
前記第1のインターフェース回路部と前記第2のインターフェース回路部との間の配線遅延は所定値以下に設計されている、半導体集積回路装置。

## 【請求項 20】

半導体集積回路装置の設計方法であって、  
第1の電源配線から電力を供給される第1の回路部内に形成される第1のインターフェース回路部を特定するステップと、  
第2の電源配線から電力を供給される第2の回路部内に形成され、前記第1のインターフェース回路部と信号の入力及び／又は出力を行う第2のインターフェ

ース回路部を特定するステップと、

予め定められた配置規則に従って、前記第 1 のインターフェース回路部と前記第 2 のインターフェース回路部とを近傍に配置するステップと、を備える半導体集積回路装置の設計方法。

#### 【請求項 2 1】

半導体集積回路装置の設計方法であって、

第 1 の電源配線から電力を供給される第 1 の回路部内に形成される第 1 のインターフェース回路部を特定するステップと、

第 2 の電源配線から電力を供給される第 2 の回路部内に形成される第 2 のインターフェース回路部を特定するステップと、

予め定められた配置規則に従って、前記第 1 のインターフェース回路部と前記第 2 のインターフェース回路部との間の配線遅延を小さくするように配線設計をするステップと、を備える半導体集積回路装置の設計方法。

#### 【請求項 2 2】

前記第 1 のインターフェース回路部を特定するステップは、

前記第 1 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更するステップと、

前記第 2 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更するステップと、

前記第 1 の電源配線と前記第 2 の電源配線のそれぞれに、異なるテキストを打つステップと、

異なるテキストが打たれた端子同士がショートしているノードを特定するステップと、

を備える、請求項 2 0 又は 2 1 に記載の設計方法。

#### 【請求項 2 3】

前記第 1 のインターフェース回路部を特定するステップは、

前記第 1 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更されたセルを取得するステップと、

前記第 2 の電源配線に接続された接続端子を有する素子をショートするように

接続情報を変更されたセルを取得するステップと、

前記第 1 の電源配線と前記第 2 の電源配線のそれぞれに、異なるテキストを打つステップと、

異なるテキストが打たれた端子同士がショートしているノードを特定するステップと、

を備える、請求項 2 0 又は 2 1 に記載の設計方法。

#### 【請求項 2 4】

半導体集積回路装置の設計方法であって、

第 1 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更するステップと、

前記第 2 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更するステップと、

前記第 1 の電源配線と前記第 2 の電源配線のそれぞれに、異なるテキストを打つステップと、

異なるテキストが打たれた端子同士がショートしているノードを特定するステップと、

前記特定されたノードについて予め定められた素子変更を行うステップと、を備える設計方法。

#### 【請求項 2 5】

半導体集積回路装置の設計方法であって、

第 1 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更されたセルを取得するステップと、

前記第 2 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更されたセルを取得するステップと、

前記第 1 の電源配線と前記第 2 の電源配線のそれぞれに、異なるテキストを打つステップと、

異なるテキストが打たれた端子同士がショートしているノードを特定するステップと、

前記特定されたノードについて予め定められた素子変更を行うステップと、を

備える設計方法。

【請求項 2 6】

前記特定されたノードは、ゲート保護素子付きのセルが追加もしくはゲート保護素子付きのセルと入れ替えられる、請求項 2 4 又は 2 5 に記載の設計方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体集積回路装置及びその設計方法に関し、特に、異なる電源によって動作する複数の回路を備える半導体集積回路装置及びその設計方法に関する。

【0 0 0 2】

【従来の技術】

近年の半導体集積回路の高集積化とデジタル技術の進歩に伴い、多くの製品において、デジタル回路とアナログ回路が一つの L S I チップ内に形成された回路が実装されている。例えば、デジタルカメラやビデオ装置においては、アナログ信号とデジタル信号間で信号変換を行う D A コンバータや A D コンバータが、一つのチップとして実装されている。デジタル回路とアナログ回路のように、異なる複数の電源系によって動作する回路が一つの L S I チップに配置される場合、E S D (Electro Static Discharge) 設計において、一つの電源系を備える回路とは異なる設計が必要とされる。特に半導体回路の微細化が進むにつれ、この点が益々無視できないものになってきている。

【0 0 0 . 3】

例えば、2 種類以上の電源系を備える半導体集積回路装置において、素子の静電破壊を防止するため、高電位側電源配線と低電位側電源配線との間に、様々な態様で E S D 保護素子を挿入する発明が知られている（特許文献 1 参照）。第 1 及び第 2 電源系を備える回路において、第 1 の高電位側の電源線と第 2 の高電位側の電源線とは分離されており、第 1 の低電位側の電源線と第 2 の低電位側の電源線とは保護回路（H K）を介して接続さる。これにより、第 1 の低電位側の電源線の電位上昇による第 2 回路内の素子破壊を防止する。この外、異なる電源系

の高電位側の電源線と低電位側の電源線とを、保護素子を介して接続すること、第 1 電源系と第 2 電源系との間の信号配線とグランド配線との間に保護素子を接続することなどが知られている。しかし、例えば、高電位側の電源線もしくは低電位側の電源線における各回路の接続点について考慮されておらず、この従来技術では、E S D 耐量にばらつき生じ、十分な E S D 耐量を備える L S I の製造が難しい。あるいは、異なる電源系を備える回路チップにおいて、電源が異なるアナログ機能セルとデジタル回路が存在するとき、アナログ機能回路の入出力信号とデジタル回路の入出力信号のレベル変換をするため、アナログ機能セルに供給される電源とデジタル回路に供給される電源の両者を引き込んだレベル変換回路を挿入する技術が知られている（例えば特許文献 2 参照）。しかし、この技術は回路面積に最適化に関する技術であり、E S D 耐量向上の観点からの設計はなされていない。そのため、無視できない配線抵抗や配線遅延が生じ、E S D 耐量にばらつきが発生する。

#### 【 0 0 0 4 】

##### 【特許文献 1】

特開平 9 - 1 7 2 1 4 6 号公報

##### 【特許文献 2】

特開平 1 0 - 1 5 0 3 6 4 号公報

#### 【 0 0 0 5 】

##### 【発明が解決しようとする課題】

本発明は上記従来技術に鑑みてなされたものであって、本発明の一つの目的は、回路内部の E S D 破壊を効果的に抑制可能な半導体集積回路装置及び半導体集積回路設計方法を提供することである。

#### 【 0 0 0 6 】

##### 【課題を解決するための手段】

本発明の第 1 の態様に係る半導体装置は、第 1 の電源配線から電力を供給される第 1 の回路部と、前記第 1 の回路部が接続される第 1 のグランド配線と、第 2 の電源配線から電力を供給される第 2 の回路部と、前記第 2 の回路部に接続された第 2 のグランド配線と、前記第 1 の回路部内に形成された第 1 のインターフェ

ース回路部と、前記第2の回路部内に形成され、前記第1のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第2のインターフェース回路部と、を備え、前記第1のグランド配線と前記第2のグランド配線は接続され、前記第1のインターフェース回路部近傍に前記第2のインターフェース回路部が配置されているものである。この構成を有することにより、配線抵抗を小さくし、ESD電流による影響を抑制することができる。

#### 【0007】

上記第1の態様に係る半導体装置において、前記第1のインターフェース回路部と前記第2のインターフェース回路部とは、前記第1の回路部と前記第2の回路部との境界に配置されていることが好ましい。

#### 【0008】

上記第1の態様に係る半導体装置において、前記第1のインターフェース回路部はデジタル回路部内のインターフェース回路部であり、前記第2のインターフェース回路部はアナログ回路部内のインターフェース回路部であり、前記第1のグランド配線と前記第2のグランド配線とは、所定電圧以上において導通する保護回路を介して前記接続点において接続され、前記第1のインターフェース回路部と前記第2のインターフェース回路部とは、一つのアナログ・マクロ回路部内に形成されていることが好ましい。この構成を有することにより、ESD設計を容易に行うことができる。

#### 【0009】

本発明の第2の態様に係る半導体装置は、第1の電源配線から電力を供給される第1の回路部と、前記第1の回路部が接続される第1のグランド配線と、第2の電源配線から電力を供給される第2の回路部と、前記第2の回路部に接続された第2のグランド配線と、前記第1の回路部内に形成された第1のインターフェース回路部と、前記第2の回路部内に形成され、前記第1のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第2のインターフェース回路部と、を備え、前記第1のグランド配線と前記第2のグランド配線は接続され、前記第2のインターフェース回路部は、前記第1のグランド配線と前記第2のグランド配線の接続点近傍において、前記第2のグランド配線と接続され

る。この構成を有することにより、配線抵抗を小さくし、ESD電流による影響を抑制することができる。

#### 【0010】

上記第2の態様に係る半導体装置において、前記第1のインターフェース回路部は、前記第1のグランド配線と前記第2のグランド配線の接続点近傍において、前記第1のグランド配線と接続されることが好ましい。この構成を有することにより、配線抵抗を小さくし、ESD電流による影響を抑制することができる。

#### 【0011】

本発明の第3の態様に係る半導体装置は、第1の電源配線から電力を供給される第1の回路部と、前記第1の回路部が接続される第1のグランド配線と、第2の電源配線から電力を供給される第2の回路部と、前記第2の回路部に接続された第2のグランド配線と、前記第1の回路部に形成された第1のインターフェース回路部と、前記第2の回路部に形成され、前記第1のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第2のインターフェース回路部と、を備え、前記第1のグランド配線と前記第2のグランド配線は接続され、前記第1のグランド配線と前記第2のグランド配線の接続点近傍において、外部接続パッドが前記第2のグランド配線と接続されている。この構成を有することにより、配線抵抗を小さくし、ESD電流による影響を抑制することができる。

#### 【0012】

本発明の第4の態様に係る半導体装置は、第1の電源配線から電力を供給される第1の回路部と、前記第1の回路部が接続される第1のグランド配線と、第2の電源配線から電力を供給される第2の回路部と、前記第2の回路部に接続された第2のグランド配線と、前記第1の回路部に形成された第1のインターフェース回路部と、前記第2の回路部に形成され、前記第1のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第2のインターフェース回路部と、前記第2のグランド配線と接続される外部接続パッドを備え、前記第1のグランド配線と前記第2のグランド配線は接続され、前記外部接続パッドと前記第2のグランド配線との接続点は、前記第2のインターフェース回路部

と前記第2のグランド配線との接続点と、前記第1のグランド配線と前記第2のグランド配線の接続点との間にある。この構成を有することにより、インターフェース回路部を迂回するESD電流パスを形成し、ESD電流による影響を抑制することができる。

#### 【0013】

本発明の第5の態様に係る半導体装置は、第1の電源配線から電力を供給される第1の回路部と、前記第1の回路部が接続される第1のグランド配線と、第2の電源配線から電力を供給される第2の回路部と、前記第2の回路部に接続された第2のグランド配線と、前記第1の回路部内に形成された第1のインターフェース回路部と、前記第2の回路部内に形成され、前記第1のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第2のインターフェース回路部と、を備え、前記第1のグランド配線と前記第2のグランド配線は接続され、前記第1の電源配線は、所定電圧以上において導通する保護回路を介して、前記第1のグランド配線と前記第2のグランド配線の接続点近傍において、前記第1のグランド配線に接続されている。この構成を有することにより、配線抵抗を小さくし、ESD電流による影響を抑制することができる。

#### 【0014】

本発明の第6の態様に係る半導体装置は、第1の電源配線から電力を供給される第1の回路部と、前記第1の回路部が接続される第1のグランド配線と、第2の電源配線から電力を供給される第2の回路部と、前記第2の回路部に接続された第2のグランド配線と、前記第1の回路部内に形成された第1のインターフェース回路部と、前記第2の回路部内に形成され、前記第1のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第2のインターフェース回路部と、を備え、前記第1のグランド配線と前記第2のグランド配線は接続され、前記第1の電源配線は、所定電圧以上において導通する保護回路を介して前記第1のグランド配線に接続され、前記第1の電源配線と前記第1のグランド配線との接続点は、前記第1のインターフェース回路部と前記第1のグランド配線との接続点と、前記第1のグランド配線と前記第2のグランド配線の接続点との間にある。この構成を有することにより、インターフェース回路部を迂回す



る ESD 電流パスを形成し、ESD 電流による影響を抑制することができる。

【0015】

本発明の第 7 の態様に係る半導体装置は、第 1 の電源配線から電力を供給される第 1 の回路部と、前記第 1 の回路部が接続される第 1 のグランド配線と、第 2 の電源配線から電力を供給される第 2 の回路部と、前記第 2 の回路部に接続された第 2 のグランド配線と、前記第 1 の回路部内に形成された第 1 のインターフェース回路部と、前記第 2 の回路部内に形成され、前記第 1 のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第 2 のインターフェース回路部と、前記第 2 のグランド配線に接続される外部接続パッドを備え、前記第 1 のグランド配線と前記第 2 のグランド配線は接続され、前記第 1 の電源配線は、所定電圧以上において導通する保護回路を介して前記第 2 のグランド配線に接続され、前記第 1 の電源配線と前記第 2 のグランド配線との接続点は、前記第 2 のインターフェース回路部と前記第 2 のグランド配線との接続点と、前記第 2 のグランド配線と前記外部接続パッドの接続点との間にある。この構成を有することにより、インターフェース回路部を迂回する ESD 電流パスを形成し、ESD 電流による影響を抑制することができる。

【0016】

上記第 7 の態様に係る半導体装置において、前記第 2 のインターフェース回路部と前記第 2 のグランド配線との接続点は、前記第 1 のグランド配線と前記第 2 のグランド配線との接続点と、前記第 2 のグランド配線と前記外部接続パッドの接続点との間にあることができる。

【0017】

上記第 2-7 の態様に係る半導体装置において、前記第 1 のグランド配線と前記第 2 のグランド配線とは、所定電圧以上において導通する保護回路を介して前記接続点において接続されていることが好ましい。この構成を有することにより、グランド配線間のノイズによる影響を抑制することができる。

【0018】

上記第 1-7 の態様に係る半導体装置において、前記第 1 の電源配線と前記第 1 のグランド配線とは、所定電圧以上において導通する保護回路を介して接続さ

れ、前記第 2 の電源配線と前記第 2 のグランド配線とは、所定電圧以上において導通する保護回路を介して接続されていることが好ましい。この構成を有することにより、E S D によるチップ破壊抑制することができる。

#### 【 0 0 1 9 】

上記第 1 - 7 の態様に係る半導体装置において、前記第 1 のインターフェース回路部及び／もしくは、前記第 2 のインターフェース回路部は、入力信号を受けるゲートを保護するクランプ素子を備えていることが好ましい。この構成を有することにより、E S D によるゲート破壊を抑制することができる。

#### 【 0 0 2 0 】

上記第 6 の態様に係る半導体装置において、前記第 1 のグランド配線は、前記保護回路を介して、前記第 1 のインターフェース回路部と前記第 1 の電源配線の接続点と、前記第 1 の電源配線の外部接続パッドとの間において、前記第 1 の電源配線に接続されていることが好ましい。この構成を有することにより、インターフェース回路部を迂回する E S D 電流パスを形成し、E S D 電流による影響を抑制することができる。

#### 【 0 0 2 1 】

上記第 6 の態様に係る半導体装置において、前記第 1 のグランド配線と前記第 2 のグランド配線とは、所定電圧以上において導通する保護回路を介して前記接続点において接続され、前記第 1 の電源配線と前記第 1 のグランド配線との間に接続された保護回路と、前記第 1 のグランド配線と前記第 2 のグランド配線との間の保護回路とは、一つのセル内に形成されていることが好ましい。この構成を有することにより、E S D 設計を容易に行うことができる。

#### 【 0 0 2 2 】

上記第 7 の態様に係る半導体装置において、前記第 2 のグランド配線は、前記保護回路を介して、前記第 1 のインターフェース回路部と前記第 1 の電源配線の接続点と、前記第 1 の電源配線の外部接続パッドとの間において、前記第 1 の電源配線に接続されていることが好ましい。この構成を有することにより、インターフェース回路部を迂回する E S D 電流パスを形成し、E S D 電流による影響を抑制することができる。

**【0023】**

上記第7の態様に係る半導体装置において、前記第1のグランド配線と前記第2のグランド配線とは、所定電圧以上において導通する保護回路を介して前記接続点において接続され、前記第1の電源配線と前記第2のグランド配線との間に接続された保護回路と、前記第1のグランド配線と前記第2のグランド配線との間の保護回路とは、一つのセル内に形成されていることが好ましい。この構成を有することにより、ESD設計を容易に行うことができる。

**【0024】**

本発明の第8の態様に係る半導体装置は、第1の電源配線から電力を供給される第1の回路部と、前記第1の回路部が接続される第1のグランド配線と、第2の電源配線から電力を供給される第2の回路部と、前記第2の回路部に接続された第2のグランド配線と、前記第1の回路部内に形成された第1のインターフェース回路部と、前記第2の回路部内に形成され、前記第1のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第2のインターフェース回路部と、を備え、前記第1のグランド配線と前記第2のグランド配線は接続され、前記第1のインターフェース回路部と前記第2のインターフェース回路部との間の配線遅延は所定値以下に設計されている。この構成を有することにより、配線遅延によるESD破壊を抑制することができる。

**【0025】**

本発明の第9の態様に係る半導体集積回路装置の設計方法は、第1の電源配線から電力を供給される第1の回路部内に形成される第1のインターフェース回路部を特定するステップと、第2の電源配線から電力を供給される第2の回路部内に形成され、前記第1のインターフェース回路部と信号の入力及び／又は出力を行う第2のインターフェース回路部を特定するステップと、予め定められた配置規則に従って、前記第1のインターフェース回路部と前記第2のインターフェース回路部とを近傍に配置するステップと、を備える。この構成を有することにより、ESD耐量の向上した半導体回路装置の設計をより容易に行うことができる。

**【0026】**

本発明の第10の態様に係る半導体集積回路装置の設計方法は、第1の電源配線から電力を供給される第1の回路部内に形成される第1のインターフェース回路部を特定するステップと、第2の電源配線から電力を供給される第2の回路部内に形成される第2のインターフェース回路部を特定するステップと、予め定められた配置規則に従って、前記第1のインターフェース回路部と前記第2のインターフェース回路部との間の配線遅延を小さくするように配線設計をするステップと、を備える半導体集積回路装置の設計方法。この構成を有することにより、ESD耐量の向上した半導体回路装置の設計をより容易に行うことができる。

#### 【0027】

上記第9又は10の態様に係る半導体集積回路装置の設計方法において、前記第1のインターフェース回路部を特定するステップは、前記第1の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更するステップと、前記第2の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更するステップと、前記第1の電源配線と前記第2の電源配線のそれぞれに、異なるテキストを打つステップと、異なるテキストが打たれた端子同士がショートしているノードを特定するステップとを備える。この構成を有することにより、ESD耐量の向上した半導体回路装置の設計をより容易に行うことができる。

#### 【0028】

上記第9又は10の態様に係る半導体集積回路装置の設計方法において、前記第1のインターフェース回路部を特定するステップは、前記第1の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更されたセルを取得するステップと、前記第2の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更されたセルを取得するステップと、前記第1の電源配線と前記第2の電源配線のそれぞれに、異なるテキストを打つステップと、異なるテキストが打たれた端子同士がショートしているノードを特定するステップと、を備える。この構成を有することにより、ESD耐量の向上した半導体回路装置の設計をより容易に行うことができる。

#### 【0029】

本発明の第 1 1 の態様に係る半導体集積回路装置の設計方法は、第 1 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更するステップと、前記第 2 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更するステップと、前記第 1 の電源配線と前記第 2 の電源配線のそれぞれに、異なるテキストを打つステップと、異なるテキストが打たれた端子同士がショートしているノードを特定するステップと、前記特定されたノードについて予め定められた素子変更を行うステップと、を備える。この構成を有することにより、E S D 耐量の向上した半導体回路装置の設計をより容易に行うことができる。

#### 【0 0 3 0】

本発明の第 1 2 の態様に係る半導体集積回路装置の設計方法は、半導体集積回路装置の設計方法であって、第 1 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更されたセルを取得するステップと、前記第 2 の電源配線に接続された接続端子を有する素子をショートするように接続情報を変更されたセルを取得するステップと、前記第 1 の電源配線と前記第 2 の電源配線のそれぞれに、異なるテキストを打つステップと、異なるテキストが打たれた端子同士がショートしているノードを特定するステップと、前記特定されたノードについて予め定められた素子変更を行うステップと、を備える。この構成を有することにより、E S D 耐量の向上した半導体回路装置の設計をより容易に行うことができる。

#### 【0 0 3 1】

上記第 1 1 又は 1 2 の態様に係る半導体集積回路装置の設計方法において、前記特定されたノードは、ゲート保護素子付きのセルが追加もしくはゲート保護素子付きのセルと入れ替えられることが好ましい。

#### 【0 0 3 2】

##### 【発明の実施の形態】

以下に、本発明を適用可能な実施の形態が図面を参照して説明される。各図において、同一の符号を付されたものは同様の要素を示しており、適宜説明が省略される。以下の説明は、本発明の実施形態を説明するものであり、本発明が以下

の実施形態に限定されるものではない。説明の明確化のため、以下の記載は、適宜、省略及び簡略化がなされている。又、当業者であれば、以下の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能であろう。

### 【0033】

第1の実施形態.

図1は、実施の形態1における半導体集積回路装置の回路構成の概略を説明するブロック図である。図1において、101は第1の電源系によって供給される電力によって動作する第1の電源系回路部、102は第2の電源系によって供給される電力によって動作する第2の電源系回路部である。第1の電源系回路部と第2の電源系回路部の典型的な例は、LSIチップ内に配置されるデジタル回路部とアナログ回路部である。その他、デジタル内部回路と入出力インターフェース回路部との間において、異なる電源系を利用する半導体集積回路装置などを例とすることができる。デジタル回路部とアナログ回路部を1チップの半導体集積回路装置で構成する混成回路では、デジタル回路部において発生するノイズ成分によってアナログ回路部の特性が劣化することを抑制するために、アナログ回路部とデジタル回路部のそれぞれに、別の電源パッドとグランド・パッドが与えられ、回路内部において異なる電源配線とグランド配線が与えられ、異なる電源系として動作する。

### 【0034】

図1の回路構成について説明する。第1電源系回路部101は、第1電源から電力が供給される素子間で信号の受け渡しを行う第1電源系内部回路部103と、第2電源から電力が供給される素子との間で信号の受け渡しを行う第1電源系入出力回路部104とを備えている。105は回路外部に配置される電源から第1電源電圧(VDD1)が供給される第1電源系電源パッドである。106は、第1電源系電源パッド105に接続され、第1電源系電源パッド105から供給される電源電圧を伝送する第1電源系電源配線である。

### 【0035】

第1電源系内部回路103と第1電源系入出力回路104は第1電源系電源配

線 106 に接続され、必要な電力が供給される。107、108 は回路外部のグランド回路部と接続され、グランド電位 (GND1) が与えられる第 1 電源系グランド・パッドである。本形態の第 1 電源系回路部 101 は、2 つのグランド・パッドを備えている。109 は、第 1 電源系グランド・パッド 107、108 と接続され、第 1 電源系回路部 101 にグランド電位を与える第 1 電源系グランド配線である。第 1 電源系内部回路 103 と第 1 電源系入出力回路 104 は第 1 電源系グランド配線 109 に接続され、必要なグランド電位が供給される。

#### 【0036】

第 2 電源系回路部 102 は、第 2 電源から電力が供給される素子間で信号の受け渡しを行う第 2 電源系内部回路部 110 と、第 1 電源から電力が供給される素子との間で信号の受け渡しを行う第 2 電源系入出力回路部 111 とを備えている。112 は回路外部に配置される電源から第 2 電源電圧 (VDD2) が供給される第 2 電源系電源パッドである。113 は、第 2 電源系電源パッド 112 に接続され、第 2 電源系電源パッド 112 から供給される電源電圧を伝送する第 2 電源系電源配線である。第 1 電源系入出力回路と第 2 電源系入出力回路は、インターフェース回路の一例である。インタフェース回路は、入力もしくは出力の一方、もしくはその双方を行う回路を含む。

#### 【0037】

第 2 電源系内部回路 110 と第 2 電源系入出力回路 111 は第 2 電源系電源配線 113 に接続され、必要な電力が供給される。114、115 は回路外部のグランド回路部と接続され、グランド電位 (GND2) が与えられる第 2 電源系グランド・パッドである。本形態の第 2 電源系は、2 つのグランド・パッドを備えている。116 は、第 2 電源系グランド・パッド 114、115 と接続され、第 2 電源系回路部 102 にグランド電位を与える第 2 電源系グランド配線である。第 2 電源系内部回路 110 と第 2 電源系入出力回路 111 は第 2 電源系グランド配線 116 に接続され、必要なグランド電位が供給される。

#### 【0038】

第 1 電源系グランド配線 109 と第 2 電源系グランド配線 116 とは、ESD (Electro Static Discharge) 保護素子 117 を介して接続されている。保護素

子 117 はグランド配線間電位が所定値以上になると、グランド配線間を導通し電流を流す機能を備えている。ESD 保護素子 117 は双方向性を有していることが好ましく、トランジスタや双方向ダイオードなどを利用することができる。尚、保護素子 117 は、回路設計に従って必要な場合に使用することができる。アナログ回路部とデジタル回路部のように、デジタル・ノイズによるアナログ回路への影響がある場合などに、好ましくない相互影響を抑制するために特に有用である。保護素子が不要な場合、第 1 電源系グランド配線と第 2 電源系グランド配線とは、特定の素子が配置されていない接続点を介して接続することができる。この接続点は回路的な点であって、視覚的に認識されるものに限定されない。

#### 【0039】

尚、2つの電源系の電位は、異なる電位もしくは同一の電位とすることができる。グランド電位は、電源電位よりも低い電位に設定されるが、電位値は設計により適宜決定される。2つの電源系のグランド電位は、回路設計にしたがって、同電位もしくは異なる電位を与えることができる。又、図 1 には示されていないが、第 1 電源系電源配線 106 と第 1 電源系グランド配線 109 とは、電源保護回路を介して接続することができる。同様に、第 2 電源系電源配線 113 と第 2 電源系グランド配線 116 とは、電源保護回路を介して接続することができる。これらの点は、以下の実施の形態において同様である。

#### 【0040】

図 2 を参照し、LSI チップの静電破壊を引き起こしうる外部からの ESD サージによる影響について説明する。LSI チップは、外部からパッドを介して入力される ESD サージによって静電破壊を起こしうる。このように外部からの ESD サージによる静電破壊について説明するため、第 1 電源系電源パッドから第 2 電源系グランド・パッドに ESD サージ電流が流れたときの、回路内部電位について説明する。

#### 【0041】

本形態の半導体集積回路において、第 1 電源系電源パッドから第 2 電源系グランド・パッドに ESD サージ電流が流れたときの回路内部電位について説明する。半導体集積回路の静電破壊の一つの要因は、MOS トランジスタのゲート酸化



膜破壊である。異なる電源系の回路が混在する半導体集積回路装置において、異なる電源系回路部間の入出力回路部におけるMOSトランジスタ、特に入力側のMOSトランジスタのゲート酸化膜破壊が問題となる。図2は、本形態におけるESDサージ電流の影響を説明するための回路図であり、説明の明確化のために、簡略化された回路が記載されている。

#### 【0042】

図2において、図1と同一の符号を付した要素は、図1において説明された要素と同様であり、説明を省略する。図2において、第1電源系入出力回路が出力側、第2電源系入出力回路が入力側と定義されている。尚入出力回路とは、LSI回路内のプリミティブブロックの最終段に相当するものであり、LSI外部との入出力回路部とは異なる。201は第1電源系電源配線と第1電源系グランド配線との間に接続された電源保護回路、202は第2電源系電源配線と第2電源系グランド配線との間に接続されている電源保護回路である。203は、第1電源系入出力回路部104に含まれる出力インバータであって、第1電源系電源配線106に接続されるPMOSと第1電源系グランド配線109に接続されるNMOSを備えるCMOS回路である。204は、第2電源系入出力回路部111に含まれる入力インバータであって、第2電源系電源配線113に接続されるPMOSと第2電源系グランド配線116に接続されるNMOSを備えるCMOS回路である。第1電源系のCMOSと第2電源系のCMOSとが信号配線205によって接続されている。

#### 【0043】

第2電源系のNMOSトランジスタのゲートソース間にかかる電位差を $V_{gs}$ 、第1電源系のPMOSのソースドレイン間にかかる電位差を $V_{pms}$ と定義する。さらに、第1電源系の電源保護回路201のクランプ電圧を $V_{power}$ 、第1及び第2電源系グランド配線間の保護素子117によるクランプ電圧を $V_{diode}$ と定義する。又、第1電源系電源保護回路201から第1電源系出力インバータ203までの第1電源系グランド配線抵抗を $R_{GND1}$ 、第1電源系出力インバータ203からグランド配線間保護素子117までの第1電源系グランド配線抵抗を $R_{GND1D}$ と定義する。さらに、グランド配線間保護素子

117から第2電源系入力インバータ204までの第2電源系グランド配線抵抗をRGND2と定義し、第2電源系入力インバータ204からGNDパッド2までの第2電源系グランド配線抵抗をRGNDと定義する。

#### 【0044】

第1電源系電源パッド105と第2電源系グランド・パッド114との間にESDサージ電流が印加された場合、第1電源系電源保護回路201がターン・オンし、ESDサージ電流( $I_{esd}$ )が流れる。ESDサージ電流として、第1電源系電源パッド105→第1電源系電源保護回路201→第1電源系グランド配線109→グランド配線間保護素子117→第2電源系グランド配線116→第2電源系グランド・パッド114の経路で流れる場合を検討する。ESDサージが印加されると、ESDサージ電流が流れる経路上に存在する配線抵抗による電圧降下で、チップ内部に電位差が発生する。第1電源系電源パッド105と第2電源系グランド・パッド114との間にESDサージが印加されたときに、第2電源系入力インバータのNMOSのゲート・ソース間にかかる電圧 $V_{gs}$ は、

$$V_{gs} = (V_{power} + RGND1 \cdot I_{esd} + RGND1D \cdot I_{esd} + V_{diode} + RGND1 \cdot I_{esd}) - V_{pmos}$$

となる。

#### 【0045】

130nmクラスのCMOSプロセスでは、MOSトランジスタのゲート酸化膜厚は $T_{ox} = 2\text{nm}$ 程度であり、典型的には、ゲート酸化膜に6V程度の電位差がかかるとゲート酸化膜破壊が起こる。HBM (Human Body Model) 規格に従って2000VのESDサージが印加された場合、ESDサージ電流 $I_{esd}$ のピークは1.3Aである。HBM規格で2000VのESD耐量試験をパスするためには、このESDサージ電流がLSI内部に流れた場合でも、 $V_{gs}$ が6Vを超えないようにLSIを設計する必要がある。例えば、電源保護回路のクランプ電圧 $V_{power} = 3.5\text{V}$ 、グランド配線間保護ダイオードのクランプ電圧 $V_{diode} = 1.2\text{V}$ 、出力インバータのPMOSのソース・ドレイン電圧 $V_{pmos} = 0\text{V}$ の時、グランド配線抵抗は、

$$RGND1 + RGND1D + RGND2D \leq (6\text{V} - 3.5\text{V} - 1.2\text{V}) / 1.3\text{A} = 1.0\Omega$$

を満足する必要がある。このように、ESDサージが印加された場合、ESDサ

ージ電流が流れるパスにおけるグラウンド配線抵抗を小さくすることが重要な要素の一つである。

#### 【0046】

L S I チップの静電破壊の一つの態様は、図2を参照して説明したように、異なる電源系の電源パッドとグラウンド・パッド間のE S Dサージによって引き起こされる。この態様の他に、チップに帯電された電荷がパッドから放出されることによって、L S I チップの静電破壊が引き起こされうる。このタイプの静電破壊に関する試験として、C D M (Charged Device Model) 試験がある。C D M 試験は、L S I チップ全体に電荷を蓄積した状態から、測定ピンを外部G N D とショートさせ、L S I のE S D 耐量を測定する試験である。

#### 【0047】

図3を参照して、チップ蓄積電荷の放電作用について説明する。図3に示された回路構成は、追加記載された主な浮遊容量以外、図5における回路と同様であるので説明は省略される。主な浮遊容量は、電源配線、グラウンド配線、信号配線、拡散層のそれぞれと基板との間の浮遊容量である。この浮遊容量に蓄積された電荷は外部接続パッドから放出される。電荷が蓄積された状態から、第1電源系電源パッドを外部G N D とショートさせ、L S I チップ内部に蓄積した電荷を放電させた場合のチップ内部の状態を説明する。

#### 【0048】

第1電源系グラウンド配線109と第2電源系グラウンド配線116とに蓄積された電荷が移動することで発生する電流を $I_{cdmg}$ 、出力インバータと入力インバータ間の信号配線205に蓄積されて電荷が移動することで発生する電流を $I_{cdms}$ 、第1電源系電源配線の抵抗成分を $R_{VDD1}$ と定義する。放電の際に、入力インバータ204のN M O S のゲートソース間電圧 $V_{gs}$ は、

$$V_{gs} = (V_{power} + R_{GND1} \cdot I_{cdmg} + R_{GND1D} \cdot I_{cdmg} + V_{diode} + R_{GND2D} \cdot I_{cdmg}) \\ - (R_s \cdot I_{cdms} + V_{pmos} + R_{VDD1} \cdot I_{cdms})$$

となる。

#### 【0049】

信号配線抵抗とグラウンド配線抵抗との差、信号配線抵抗と電源配線抵抗との差

が大きい場合、 $I_{cdmg}$ と $I_{cdms}$ に時間差が発生することで $V_{gs}$ が増加し、ゲート酸化膜が破壊される。通常、電源配線抵抗とグランド配線抵抗は小さいため、CDMによるゲート酸化膜破壊を防止するためには、信号配線抵抗 $R_S$ を小さくすることが重要な点となる。

#### 【0050】

図1を参照して、本形態における半導体集積回路の回路構成の詳細について説明する。本形態の半導体集積回路において、第1電源系入出力回路104と第2電源系入出力回路111は近傍域内に配置されている。第1電源系入出力回路104と第2電源系入出力回路111は、第1電源系回路101と第2電源系回路102との境界で接するように配置されることがさらに好ましい。第1電源系入出力回路104を第2電源系入出力回路111の近くに配置することによって、グランド配線抵抗を小さくすることができる。

#### 【0051】

図2を参照すれば、 $R_{GND1D}$ と $R_{GND2D}$ のグランド配線抵抗値を小さくすることができるので、ESDサージによるMOSゲート電位 $V_{gs}$ を低く抑え、ゲート酸化膜破壊を抑制することができる。あるいは、信号配線抵抗 $R_S$ を小さくすることができるので、蓄積容量放出におけるグランド配線と信号配線との間の電流遅延を抑制することができる。第1電源系と第2電源系の入出力回路間の配線遅延は、ESDの観点から小さくするように形成される。配線遅延は、配線長の短縮、配線幅の増加、あるいは配線抵抗の縮小によって実現することができる。配線遅延を抑制することによって、ESD放電電流の時間差によるゲート絶縁膜破壊を抑制することができる。

#### 【0052】

第1及び第2電源系の入出力回路部104、111は、グランド配線間保護素子117の近傍において、それぞれのグランド配線に接続される。これにより、ESDサージ電流パスにおけるグランド配線抵抗を小さくすることができる。図2を参照すれば、 $R_{GND1D}$ と $R_{GND2D}$ のグランド配線抵抗値を小さくすることができる。

#### 【0053】

第1及び第2電源系におけるそれぞれのグランド・パッドの一つ108、115は、グランド配線間保護素子117の近傍に接続される。第2電源系のグランド・パッド115は、グランド配線間保護素子117と第2電源系入出力回路ー第2電源系グランド配線の接続点119の間において、第2電源系グランド配線116に接続点118で接続されることが好ましい。グランド・パッドを入出力回路部よりも保護素子の近くに接続することによって、入出力回路部を迂回するESDサージ電流パスが形成され、ESDサージによる入出力回路部（もしくはその内部のゲート電圧 $V_{gs}$ ）への影響を抑制することができる。第1電源系のグランド・パッド108も、グランド配線間保護素子117と第1電源系入出力回路ー第1電源系グランド配線の接続点121との間において、第2電源系グランド配線116に接続点120で接続される。

#### 【0054】

以上のように、本実施の形態によれば、LSIチップ内部で電源系が複数ある場合に、電源ラインにつく抵抗を抑制し、チップ内部素子破壊を防止することができる。又、LSI内部の回路構成に依存せずに、チップ内部のESD破壊を防止し、高いESD耐量が安定してえることができる。

#### 【0055】

第2の実施形態.

図4(a)は、本発明の第2の形態に係る半導体集積回路の概略構成を示す、回路図である。本形態の半導体集積回路は、第1電源系回路としてデジタル回路を備え、第2電源系回路としてアナログ回路を備えている。アナログ回路の一部はアナログ・マクロとして設計されたものであり、アナログ・マクロは、その内部に第1電源によって動作する第1電源系入出力回路部を備えている。図4において、401はデジタル回路部、402はアナログ・マクロである。アナログ・マクロは、アナログ内部回路403と、入出力回路部404を備えている。

#### 【0056】

図4(b)は、アナログ・マクロの入出力回路部404の構成の詳細を説明する回路図である。入出力回路部404は、第1電源系の入出力回路部405と第2電源系の入出力回路部406を備えている。図4(b)において、407は第

1 電源系出力インバータ、408は第1電源系入力インバータである。409は第2電源系出力インバータ、410は第2電源系入力インバータである。411はゲート保護素子であり、第1電源系の入力インバータ408の入力信号を受けるゲートと、第1電源系グランド配線109とに接続されたNMOSトランジスタによって構成されている。ゲート保護素子411は、高電圧が発生した場合に、ゲートとグランド配線間の電位をクランプ電位にクランプし、入力インバータのゲートソース間電位をクランプ電位以下に維持することでゲート絶縁膜破壊を抑制することができる。クランプ素子は、広く知られた様々な素子を利用することができる。

#### 【0057】

第2電源系の入力インバータ410の入力信号を受けるゲートと第2電源系グランド配線116との間にも、ゲート保護素子412が接続されている。クランプ素子は、入力インバータの入力信号を受けるゲートと電源配線との間に接続することも可能である。例えば、第2電源系の入力インバータ410の入力信号を受けるゲートと第2電源系電源配線113との間に接続される。第1電源系出力インバータの出力と第2電源系入力インバータとが接続配線により接続され、第2電源系出力インバータの出力と第1電源系入力インバータとが接続配線により接続されている。

#### 【0058】

アナログ・マクロの内部に、第1電源系の入出力回路部と第2電源系入出力回路部を配置することによって、アナログ・マクロ内でのESD対策設計が可能となり、LSIチップレイアウト設計におけるESD設計が容易となり、あるいはデジタル回路設計におけるESD設計を不要とすることができる。又、アナログ・マクロ内に上記2つの入出力回路部を配置することによって、静電破壊防止のために、第1電源系の入出力回路部と第2電源系入出力回路部を第1電源系回路部と第2電源系回路部の境界に配置され、近傍領域内に配置設計することをより容易に行うことができる。

#### 【0059】

以上のように、本実施の形態によれば、例えば、他社が設計したハードマクロ

の電源を、チップ内部で他の電源と分離する場合、チップ内部のESD破壊を防止し、高いESD耐量をもつLSIを実現するつなぎセルを小さい面積で実現し、自動設計できる。

#### 【0060】

第3の実施形態.

本発明にかかる第3の実施形態について、図5を参照して説明する。図5は、本形態の半導体集積回路装置の概略構成を示す回路図である。図5において、501は第1電源系電源配線106と第1電源系グランド配線109との間に接続されたVDD1-GND1間保護素子、502は、第2電源系電源配線113と第2電源系グランド配線116との間に接続されたVDD2-GND2間保護素子である。電源保護素子は、ESD印加時において、電源とグランド間の電位差がクランプ電位以上に大きくなると、電源とグランド間の電位をクランプ電位にクランプする。保護素子は、トランジスタを利用したクランプ素子など、広く知られた様々な素子を利用することができる。

#### 【0061】

VDD1-GND1間保護素子501は、接続点503において第1グランド配線109に接続される。接続点503は、グランド配線間保護素子117の近傍に配置される。これにより、接続点とグランド配線間保護素子の間のグランド配線抵抗を小さくすることができ、ESD電流パスのグランド配線抵抗の低下に寄与する。接続点503は、好ましくは、第1電源系入出力回路部と第1電源系グランド配線との接続点121と、グランド配線間保護素子117との間に配置される。入出力回路の接続点に対して、ESD電流パスの迂回路を形成することによって、入出力回路へのESDサージ電流による影響を抑制することができる。

#### 【0062】

同様に、VDD2-GND2間保護素子502は、接続点504において第2グランド配線116に接続される。接続点504は、グランド配線間保護素子117の近傍に配置される。接続点504は、好ましくは、第2電源系入出力回路部と第2電源系グランド配線との接続点119よりも、グランド配線間保護素子

117の近くに配置される。VDD1-GND1間保護素子501、VDD2-GND2間保護素子502、そしてグランド配線間保護素子117は一つのセル内に形成されている。予め設計された一つのセルを、異なる電源系回路の境界に配置することによって、ESD設計を容易に行うことができる。

#### 【0063】

##### 第4の実施形態.

本発明にかかる第4の実施形態について、図6を参照して説明する。図6は、本形態の半導体集積回路装置の概略構成を示す回路図である。本形態の半導体集積回路装置は、異なる電源系の電源とグランド間にESD保護素子が設けられている。図6において、601は、第1電源系電源配線106と第2電源系グランド配線116との間に接続されたVDD1-GND2間保護素子である。602は、第2電源系電源配線113と第1電源系グランド配線109との間に接続されたVDD2-GND1間保護素子である。

#### 【0064】

VDD1-GND2間保護素子601とグランド配線116との接続点603は、保護素子117から見て、第2電源系入出力回路部と第2電源系グランド配線との接続点119よりも遠い側に接続されている。接続点603は接続点119と第2電源系グランド・パッド114と間に配置される。VDD2-GND1間保護素子とグランド配線との接続点604は、第1電源系入出力回路部と第1電源系グランド配線との接続点121と、第1電源系グランド・パッド107との間に接続されている。

#### 【0065】

第1電源系電源配線と第2電源系グランド配線を、保護素子を介して接続することによって第1電源系電源パッドVDD1から第2電源系グランド・パッドGND2へ形成される、ESDサージ電流パスを考える。VDD2-GND1間保護素子とグランド配線1との接続点603は、第1電源系入出力回路部と第1電源系グランド配線との接続点119よりも、グランド・パッド114の近くに配置されるので、第2電源系入出力回路部とグランド配線の接続点を迂回するESDサージ電流パスが形成され、ESDサージ電流による第2電源系入出力回路部



への影響を抑制することがきる。第 2 電源系電源配線 1 1 3 と第 1 電源系グランド配線 1 0 9 との VDD 2 - GND 1 間保護素子 6 0 2 を介した接続についても、同様に、第 2 電源系電源パッドから始まる ESD サージ電流パスに関して、第 1 電源系入出力回路部への影響を抑制することがきる。

#### 【0 0 6 6】

VDD 1 - GND 2 間保護素子 6 0 1、VDD 2 - GND 1 間保護素子 6 0 2、そしてグランド配線間保護素子 1 1 7 は一つのセル内に形成することができる。予め設計された一つのセルを、異なる電源系回路の境界に配置することによって、ESD 設計を容易に行うことができる。

#### 【0 0 6 7】

##### 第 5 の実施形態.

本発明にかかる第 5 の実施形態について、図 7 を参照して説明する。図 7 は、本形態の半導体集積回路装置の概略構成を示す回路図である。本形態の半導体集積回路装置は、同一電源系の電源とグランド間に ESD 保護素子が設けられている。図 7 において、7 0 1 は第 1 電源系電源配線 1 0 6 と第 1 電源系グランド配線 1 0 9 との間に接続された VDD 1 - GND 1 間保護素子、7 0 2 は、第 2 電源系電源配線 1 1 3 と第 2 電源系グランド配線 1 1 6 との間に接続された VDD 2 - GND 2 間保護素子である。保護素子として利用される素子は、実施の形態 4 において説明したものと同様である。

#### 【0 0 6 8】

VDD 1 - GND 1 間保護素子 7 0 1 と第 1 電源系電源配線 1 0 6 との接続点 7 0 3 は、第 1 電源系電源パッド 1 0 5 と、第 1 電源系入出力回路部 1 0 4 と第 1 電源系電源配線 1 0 6 との接続点 7 0 4 との間に配置される。VDD 1 - GND 1 間保護素子 7 0 1 を、第 1 電源系入出力回路部の接続点 7 0 4 よりも、第 1 電源系電源パッドの近くに接続することによって、第 1 電源系入出力回路部の接続点を迂回する ESD サージ電流パスを形成することができる。第 1 電源系電源パッドから始まる ESD サージ電流パスは、VDD 1 - GND 1 間保護素子 7 0 1 を通過して第 1 電源系グランド配線 1 0 9 に流れる。

#### 【0 0 6 9】

従って、図5を参照して説明された回路と異なり、第1電源パッドVDD1からVDD1-GND1間保護素子を介して第1電源系グランド配線へ流れるESDサージ電流パスが、第1電源系入出力回路の接続点を迂回しているので、第1電源系入出力回路部へのESDサージ電流による影響を抑制することができる。第2電源系電源配線と第2電源系グランド配線との間の接続についても、VDD2-GND2間保護素子702と第2電源系電源配線113との接続点705は、第2電源系電源パッド112と、第1電源系入出力回路部111と第1電源系電源配線113との接続点706との間に配置され、第2電源系入出力回路部の接続点を迂回するESDサージ電流パスが形成されているので、第2電源系入出力回路部へのESDサージによる影響を抑制することができる。

#### 【0070】

図6において説明された、VDD1-GND2間保護素子601についても、第1電源系の電源配線との接続点は、第1電源系の入出力回路よりも、電源パッドに近い点であることが好ましい。VDD2-GND1間保護素子602も、第2電源系の電源配線との接続点は、第2電源系の入出力回路の接続点と、電源パッドとの間にあることが好ましい。これにより、入出力回路の接続点を迂回するESDサージ電流パスを形成することができる。

#### 【0071】

その他の形態.

本発明に係る半導体集積回路装置の設計方法について説明する。実施の形態1-5において、高いESD耐量を得ることができるLSIチップ回路構成が説明された。これら回路構成を得るためには、LSIチップの設計段階において、ESD耐量を考慮した設計を行うことが必要となる。一つには、レイアウト設計のためにESDサージ電流が抜ける経路上の抵抗を小さくする回路構成を予め作りこむことで、高いESD耐量を持つLSIを、LSIの内部回路構成によらず、自動レイアウト設計することが可能となる。あるいは、ESDサージ電流パスが入出力回路部の接続点を迂回するように自動レイアウト設計されることで、高いESD耐量のLSIチップを設計することができる。本発明に係る半導体集積回路装置を設計するために、ESD耐量が弱い箇所を見つけ出すことが必要となる

。複数の電源系を備える回路においては、異なる電源系間で信号の受け渡しを行う入出力回路部を見つけ出すことが必要であり、特に、異なる電源系から信号を入力するトランジスタを見つけることが重要である。

#### 【0072】

図8は、半導体集積回路装置の設計装置の論理を示す構成図である。図8において、801はセルの形状やピン配置など、多くのセルに関する情報を格納する

#### 【0073】

セルライブラリ、802はセル配置において予め設定されている配置ルールである。803は入力された回路データ804から、セルがレイアウトされた回路データ805を生成する配置設計部である。配置設計部803は、予め用意されているセルライブラリと配置ルールに基づいて、セルがレイアウトされた回路データ805を生成する。配置設計部803は、素子／回路特定部806と配置設計処理部とを備えている。素子／回路特定部806は、回路データ804とセルデータに基づき、異なる電源系間で信号の受け渡しを行う入出力回路部、もしくは入出力回路部内の特定の回路を見つけ出す機能を備えている。配置設計処理部807は、回路全体の配置設計において、特定された入出力回路部を、予め定められた配置ルール802に従って、配置することができる。

#### 【0074】

レイアウト設計にける、素子／回路特定部806の処理について説明する。異なる電源系から信号を入力するトランジスタを見つける処理の一つは、次の処理フローにより構成することができる。まず、レイアウト設計するトランジスタ回路データ804を取得する。回路データにおいて、少なくとも1端子が電源端子に接続された素子は、電源に接続されていない端子も電源に接続されるよう接続情報を変更する、又は、その素子をショートさせる。例えば、ドレイン、ゲート、ソース、バックゲートの内、ソースが電源端子に接続されたMOSトランジスタは、ドレイン、ゲート、バックゲートも電源に接続する。尚、接続情報を変更して素子をショートさせるのではなく、予め接続をショートさせたセルを用意しておき、そのセルと入れ替えることも可能である。

#### 【0075】

次に、電源パッドにテキストを打つ。このとき、異なる電源パッドには異なるテキストが打たれる。最後に、異なるテキストが打たれた端子同士がショートしている接続点を見つける。この接続点が、異なる電源系から信号を入力する素子と特定される。異なる電源系から信号を入力する素子が特定されると、異なる電源系間で信号の受け渡しを行う入出力回路部を特定することができる。

#### 【0076】

素子と入出力回路部とが特定されると、上記実施の形態1-5において説明された回路構成を行うように、予め定められた配置ルール802に基づいて、配置設計処理部807によってレイアウト設計がなされる。例えば、異なる電源系の入出力回路が近傍域内に配置され、異なる電源系の境界に配置されるよう設計される。あるいは、入力回路と出力回路との間のESD配線遅延が小さくなるように設計される。ESD配線遅延は、例えば、配線長の長さを小さくし、あるいは配線幅の増加や抵抗を下げるよう設計することによって小さくすることができる。電源配線、グランド配線及び保護素子に関して上記に説明された各接続態様についても、ESDに関する設計ルールとして明示的に示されたルールに基づいて、回路設計がなされる。又、異なる電源系から信号を入力するMOSトランジスタを特定することによって、ゲート絶縁膜破壊を防止する保護素子としてのクランプ素子を備えるセルを追加する、あるいはそのようなセルと入れ替える設計を行うことができる。

#### 【0077】

図9は、本形態の設計装置900のハードウェア構成の一例を示す。設計装置の機能はCPU910、ROM920、RAM930、ハードディスクドライブ940、及び外部記憶装置としてのCD-ROM950ドライブを備える計算機と、計算機上で実行されるプログラムとの連携により実現される。セルライブラリ801及び配置ルール802は、ハードディスク940内に予め記憶しておくことができる。設計装置の機能を実現するプログラムは計算機を、素子／回路特定部806、配置設計処理部807、セルライブラリ格納部、配置ルール格納部として機能させることができる。プログラムもしくは必要なデータは、フレキシブルディスク、CD-ROMのほか、光ディスク、光磁気ディスク、テープ媒体

など、様々な記録媒体に記録することができる。

#### 【0078】

以上のように、本実施の形態によれば、高いESD耐量を実現するLSIを容易に設計できる設計方法を提供することができる。特に、高いESD耐量を持つLSIを自動レイアウト設計可能とする設計方法を提供することができる。あるいは、ESDサージ電流が抜ける経路の抵抗を予め小さくする工夫を作りこむことで、自動設計時の制約をなくすことができる。

#### 【0079】

##### 【発明の効果】

本発明によれば、高いESD耐量を実現するLSIを得ることが可能となる。

##### 【図面の簡単な説明】

【図1】 実施の形態1における半導体集積回路装置の回路構成を示す図である。

【図2】 実施の形態1における半導体集積回路装置において、ESDサージ電流の影響を説明する図である。

【図3】 実施の形態1における半導体集積回路装置において、ESDサージ電流の影響を説明する図である。

【図4】 実施の形態2における半導体集積回路装置の回路構成を示す図である。

【図5】 実施の形態3における半導体集積回路装置の回路構成を示す図である。

【図6】 実施の形態4における半導体集積回路装置の回路構成を示す図である。

【図7】 実施の形態5における半導体集積回路装置の回路構成を示す図である。

【図8】 他の形態における設計装置の論理構成を示す図である。

【図9】 他の形態における設計装置のハードウェア構成を示す図である。

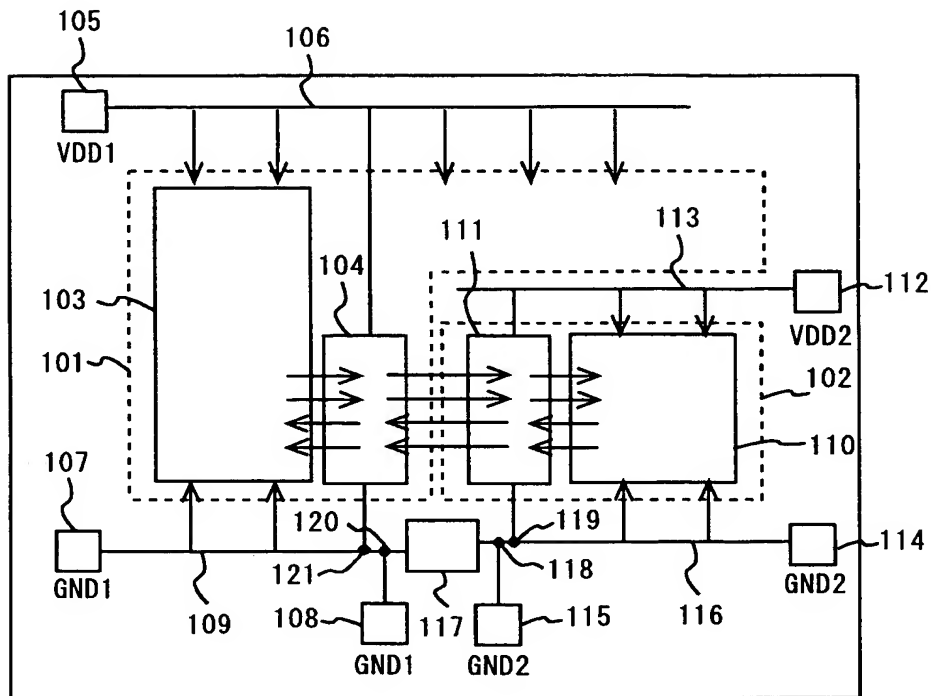
##### 【符号の説明】

101 第1電源系回路部、103 第1電源系内部回路部、104 第1電

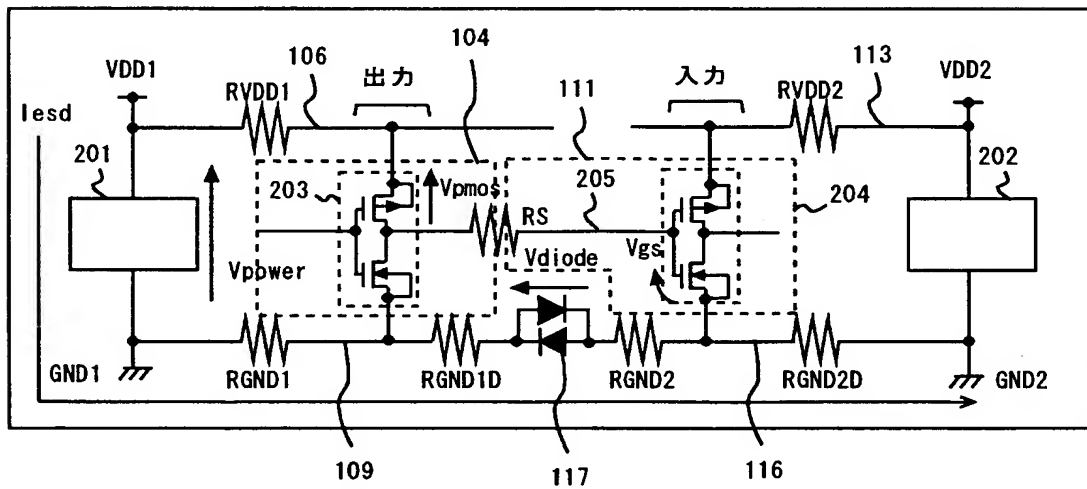
源系入出力回路部、104 第1電源系入出力回路、105 第1電源系電源パッド、106 第1電源系電源配線、107、108 第1電源系グランド・パッド、109 第1電源系グランド配線、110 第2電源系内部回路部、111 第2電源系入出力回路部、112 第2電源系電源パッド、113 第2電源系電源配線、114、115 第2電源系グランド・パッド、116 第2電源系グランド配線、117 ESD保護素子、201 電源保護回路、202 電源保護回路、203 出力インバータ、204 入力インバータ、205 信号配線、401 デジタル回路部、402 アナログ・マクロ、403 アナログ内部回路、404 入出力回路部、405 第1電源系の入出力回路部、406 第2電源系の入出力回路部、407 第1電源系出力インバータ、408 第1電源系入力インバータ、409 第2電源系出力インバータ、410 第2電源系入力インバータ、501 VDD1-GND1間保護素子、502 VDD2-GND2間保護素子、601 VDD1-GND2間保護素子、602 VDD2-GND1間保護素子、701 VDD1-GND1間保護素子、702 VDD2-GND2間保護素子

【書類名】 図面

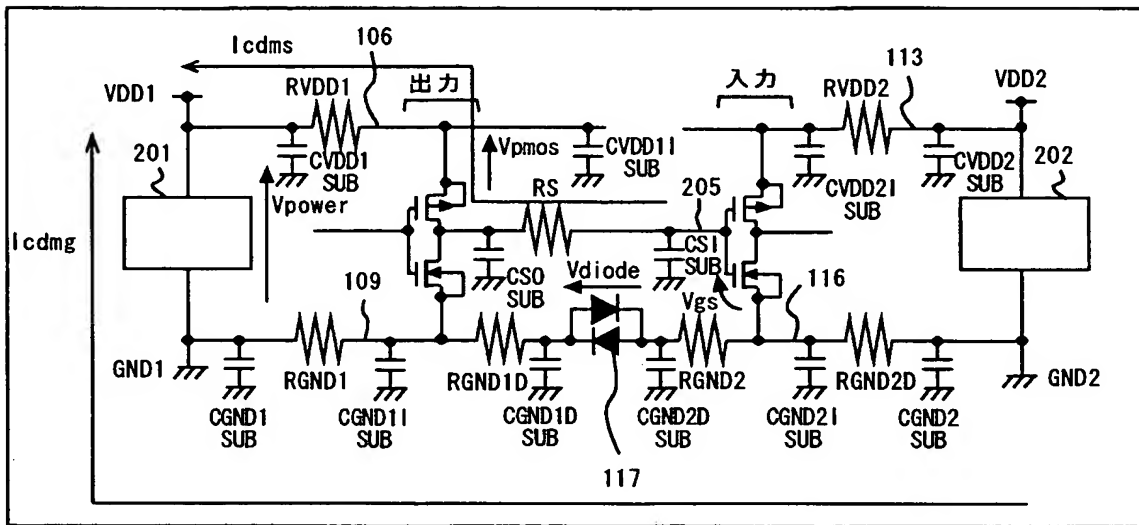
【図 1】



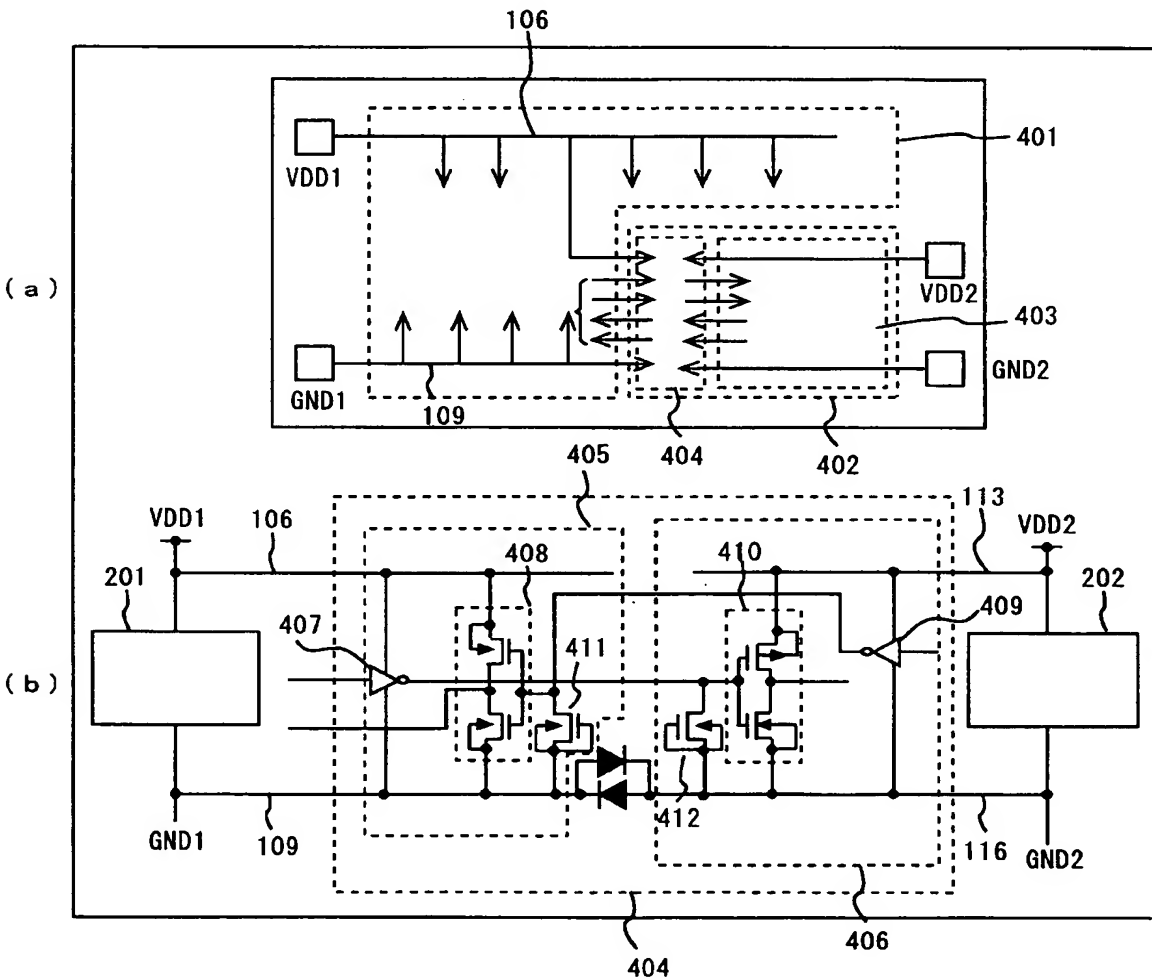
【図 2】



【図 3】

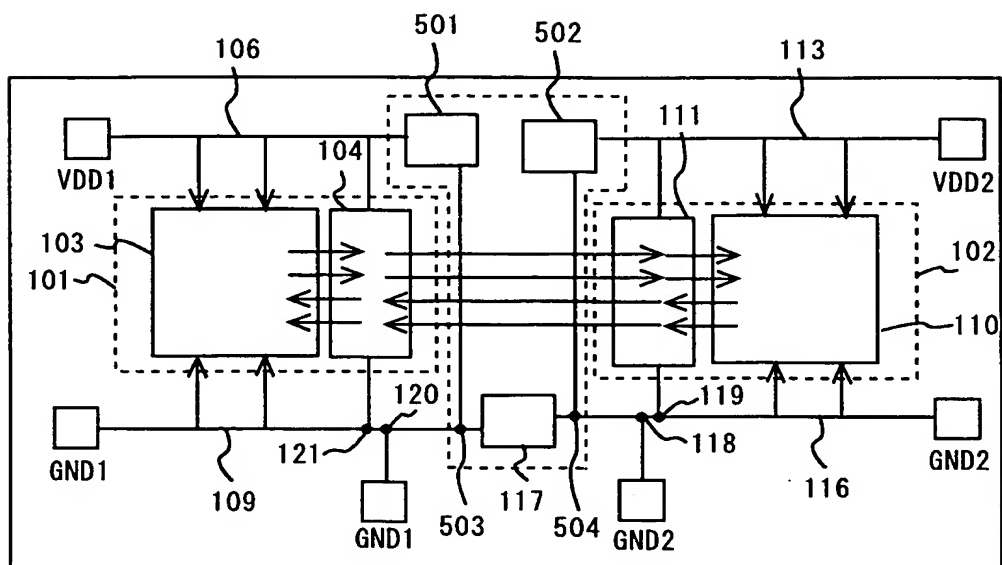


【図 4】

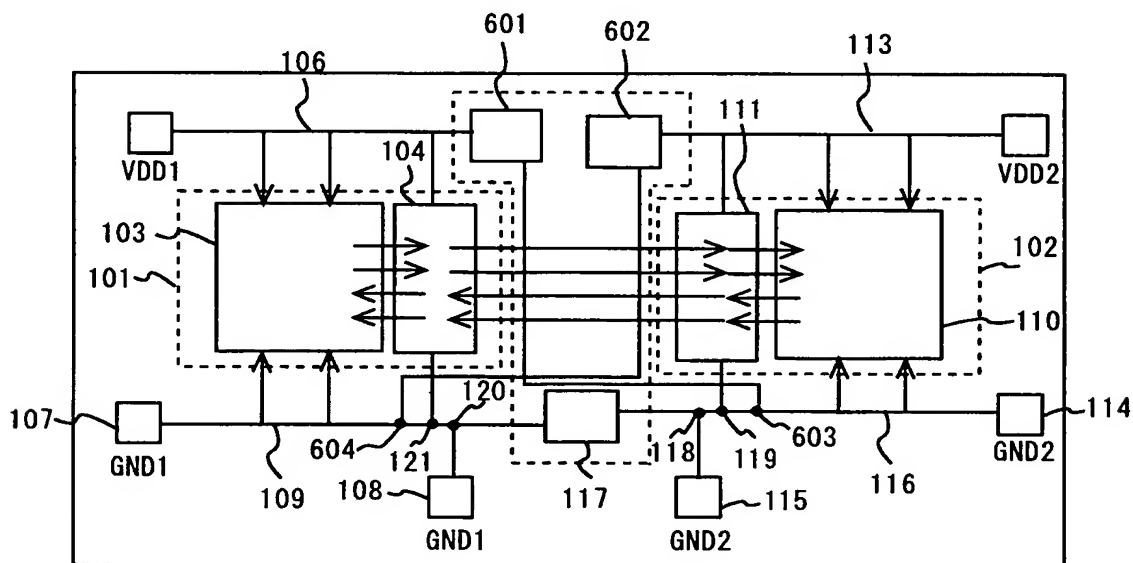




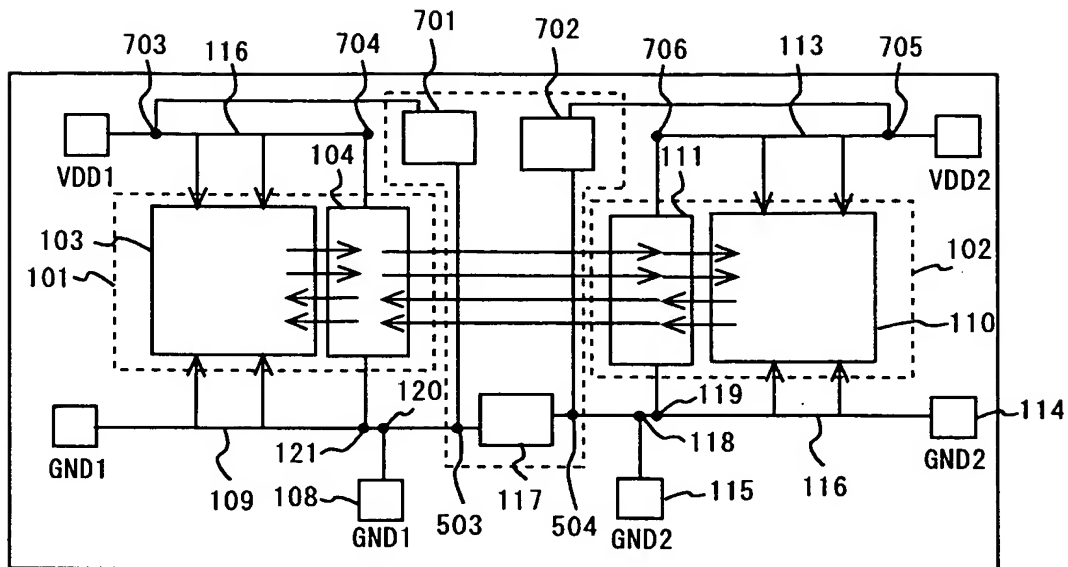
【図 5】



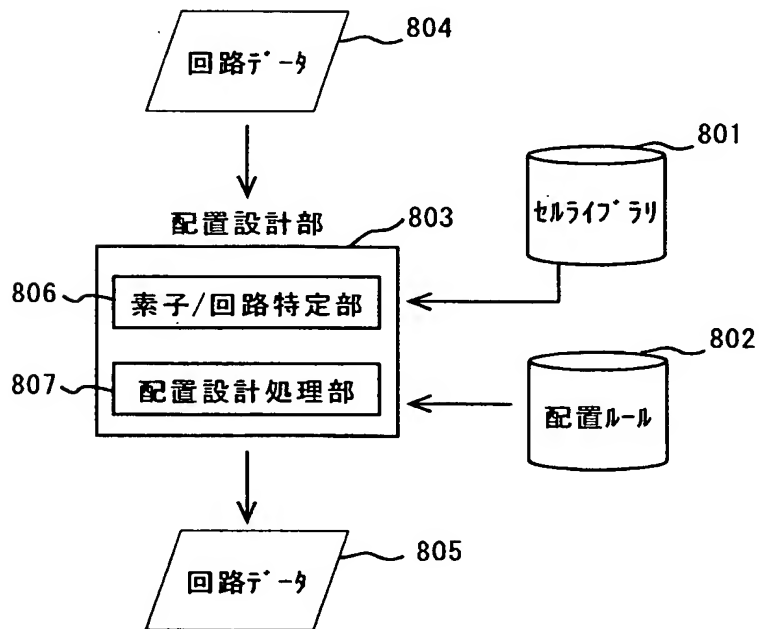
【図 6】



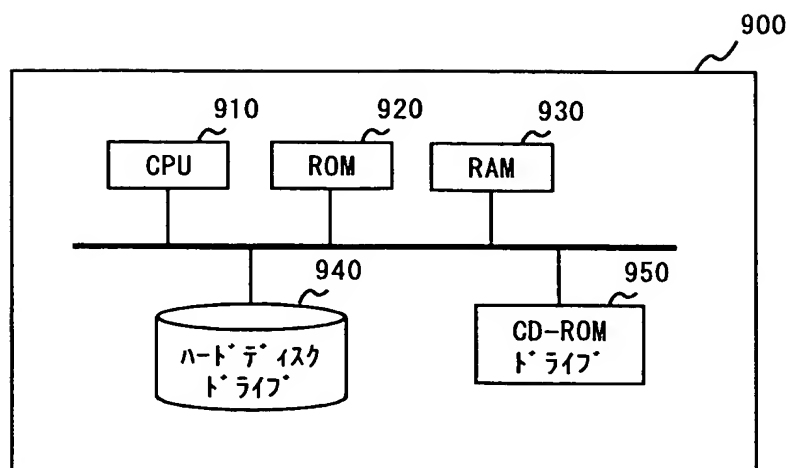
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【課題】

高いESD耐量を実現するLSI及びその設計方法を得る。

【解決手段】

LSIチップは、複数の電源系回路部を備え、第1の電源配線106から電力を供給される第1の回路部101と、第1の回路部が接続される第1のグランド配線109を有する。又、第2の電源配線113から電力を供給される第2の回路部102と、第2の回路部に接続された第2のグランド配線116を有する。第1の回路部は第1のインターフェース回路部104を備え、第2の回路部は、第1のインターフェース回路部との間において、信号の入力及び／もしくは出力を行う第2のインターフェース回路部111を備える。第1のグランド配線と前記第2のグランド配線は保護回路117を介して接続され、第1のインターフェース回路部近傍に前記第2のインターフェース回路部が配置されている。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 5 0 2 5 1
受付番号	5 0 3 0 0 3 1 4 1 1 1
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 2 8 日

< 認定情報・付加情報 >

【提出日】	平成15年 2月27日
-------	-------------

次頁無

特願 2 0 0 3 - 0 5 0 2 5 1

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社